

MANUFACTURE OF ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

Patent Number: JP3148636

Publication date: 1991-06-25

Inventor(s): HONJO MASUSHI; others. 01

Applicant(s): TOSHIBA CORP

Requested Patent: JP3148636

Application Number: JP19890287509 19891106

Priority Number(s):

IPC Classification: G02F1/136 ; H01L29/784

EC Classification:

Equivalents:

Abstract

PURPOSE: To obtain a large aperture rate and increase the transmissivity by providing a transparent conductive film on a substrate, performing back exposure using scanning electrode wires and a semiconductor film as a mask, and then patterning the film and thus forming picture element electrodes.

CONSTITUTION: The glass substrate 30 is provided with scanning electrode lines 36 and gate electrodes 31 which are connected thereto, and they are covered with a gate insulating film 32. Then a protection insulating film 33 is arranged on an Si film 34 and a drain electrode 38 and a source electrode 39 are formed across an Si film 35 with low resistance to form a TFT 40. When a picture element electrode 37 is formed, the scanning electrode lines 36 and Si films are utilized for the back exposure to form picture element electrodes inside measures. Thus, TFTs are formed in matrix nearby the intersections of the scanning lines 36 and signal electrode lines 34. The pattern of an insulating film 41 is formed and covered with an orienting film 42. A light shield film 45, an ITO electrode 46, and an orienting film 47 are provided on an opposite substrate 44 at positions facing the TFTs, the substrates are adhered together across spacers, and liquid crystal is injected to complete the element. In this configuration, the electrodes 37 can be put extremely close to the signal electrode lines and the aperture rate is improved.

Data supplied from the esp@cenet database - i2

⑪ 公開特許公報 (A) 平3-148636

⑫ Int. Cl. 5

G 02 F 1/136
H 01 L 29/784

識別記号

5 0 0

序内整理番号

9018-2H

⑬ 公開 平成3年(1991)6月25日

9056-5F H 01 L 29/78 3 1 1 A
審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 アクティブマトリクス型液晶表示素子の製造方法

⑮ 特 願 平1-287509

⑯ 出 願 平1(1989)11月6日

⑰ 発明者 本城 益司 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

⑰ 発明者 木越 基博 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

⑰ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑰ 代理人 弁理士 則近 憲佑 外1名

明細書

1. 発明の名称

アクティブマトリクス型液晶表示素子の製造方法

2. 特許請求の範囲

(1) 第1基板上にゲート電極、ゲート絶縁膜、半導体膜、ソース電極及びドレイン電極から構成される薄膜トランジスタを複数本の走査電極線と信号電極線の交点付近に配置してマトリクス状にし且つ各々の薄膜トランジスタに画素電極を接続してなるアレイ基板と、第2基板上に対向電極を形成してなる対向基板との間に液晶を挟持してなるアクティブマトリクス型液晶表示素子の製造方法において、

前記第1基板上に透明導電膜を成膜した後、前記走査電極線と前記半導体膜をマスクとした背面露光法を用いて、前記透明導電膜をバターニングすることにより、前記画素電極を形成する工程を備えたことを特徴とするアクティブマトリクス型液晶表示素子の製造方法。

(2) 第1基板上にゲート電極、ゲート絶縁膜、

半導体膜、ソース電極及びドレイン電極から構成される薄膜トランジスタを複数本の走査電極線と信号電極線の交点付近に配置してマトリクス状にし且つ各々の薄膜トランジスタに画素電極を接続してなるアレイ基板と、第2基板上に対向電極を形成してなる対向基板との間に液晶を挟持してなるアクティブマトリクス型液晶表示素子の製造方法において、

前記第1基板上に光遮蔽膜を成膜した後にバターニングしてブラックマトリクスを形成する工程と、前記第1基板上に透明導電膜を成膜した後、前記走査電極線と前記ブラックマトリクスをマスクとした背面露光法を用いて、前記透明導電膜をバターニングすることにより、前記画素電極を形成する工程を備えたことを特徴とするアクティブマトリクス型液晶表示素子の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はアクティブマトリクス型液晶表示素子の製造方法に関する。

(従来の技術)

電子機器の小形化、軽量化及び低消費電力化が進む中で、ディスプレイの分野においても、CRT (Cathode Ray Tube) に代わるものとして、フラットパネルディスプレイの研究・開発が活発に行なわれている。この中でも、液晶ディスプレイは大面積表示が可能であること、フルカラー化が可能であること、及び低電流・低電圧動作であること等の点で最も注目を集めている。

液晶ディスプレイにはその目的に応じて様々な動作方式があるが、アクティブマトリクス方式はフルカラーの動画表示を高解像度で行なうことが可能であることが特徴である。アクティブマトリクス方式はマトリクス状に配置した電極の交点を一画素とし、その一画素ごとにスイッチング素子を設ける方式である。アクティブマトリクス方式は非線形ダイオード型と薄膜トランジスタ (TFT) 型に分類できるが、このうち特に後者の研究

・開発が活発に行なわれている。TFTとコンデンサのアレイをガラス板に配設したものを一方の基板とするものは、例えばアイイーイー・トランザクション・オン・エレクトロン・デバイス (IEEE Trans. on Electron Devices) 第23巻の第995頁乃至第1001頁 (1973年) に詳細に記載されている。

第6図はTFTを使用したTFTアレイ基板の概略平面図であり、TFTは等磁回路で示している。第6図において、硝子基板1上には、ほぼ平行に等間隔で配設された信号電極線2と、この信号電極線2とほぼ直交し且つ酸化硅素等の層間絶縁膜で信号電極線2と電気的に絶縁された走査電極線3と、信号電極線2と走査電極線3との交点付近に配置され全体としてマトリクス状になった表示画素部4から構成されている。

第7図はこの表示画素部4の一例を示す断面図である。第7図において、硝子基板10上に、ゲート電極11、ゲート絶縁膜12、半導体膜13、半導体保護膜14、低抵抗半導体膜15、ソース

電極16及びドレイン電極17から構成されるTFTは、ソース電極16の部分で画素電極18に接続されている。ここで、ゲート電極11は第6図における走査電極線3と一体であり、ドレイン電極17は第7図における信号電極線2と一体である。そして、TFTを保護するため、この上部を酸化硅素等の絶縁膜19で覆うとともに、更に、この上に配向膜20を形成している。一方、硝子基板21上には、TFTと対向するように遮光膜22が形成されており、更に、対向電極23及び配向膜24が順次形成されている。そして、2つの硝子基板10、21の間には液晶25が挟持されている。

第7図に示したTFTアレイ基板を製作する工程は次の通りである。まず、硝子基板10上に第6図における走査電極線3及びゲート電極11を同時に形成し、この上にゲート絶縁膜12、半導体膜13、及び半導体保護膜14を順次成膜する。次に、半導体保護膜14を成形した後、低抵抗半導体膜15を成膜し、半導体膜13と低抵抗半導

体膜15を同時に同一形状に成形する。その後、画素電極18の形成及び電極パッド上のゲート絶縁膜12の除去を行い、第6図における信号電極線2、ソース電極16及びドレイン電極17を形成する。統いてこの状態では、ソース電極16とドレイン電極17が低抵抗半導体膜15により短絡しているので、例えば特開昭60-42868号公報に記載されているように、ソース電極16とドレイン電極17をマスクにして、半導体保護膜14上の低抵抗半導体膜15を除去する。そして、硝子基板10上に絶縁膜19と配向膜20を順次形成することにより、TFTアレイ基板が完成する。

(発明が解決しようとする課題)

しかしながら、この種の液晶表示素子において、画素電極18とドレイン電極17及び信号電極線2とは同一平面内に近接して形成されるために、画素電極18とドレイン電極17及び信号電極線2とが短絡し、欠陥画素が発生することがあった。このため、画素電極18とドレイン電極17及び信号電極線2との間隔を大きくとる必要

が生じ、開口率が低下することがあった。

この発明は、このような従来の事情に鑑みてなされたものである。

[発明の構成]

(課題を解決するための手段)

この発明は、第1基板上にゲート電極、ゲート絶縁膜、半導体膜、ソース電極及びドレイン電極から構成される薄膜トランジスタを複数本の走査電極線と信号電極線の交点付近に配置してマトリクス状にし且つ各々の薄膜トランジスタに画素電極を接続してなるアレイ基板と、第2基板上に対向電極を形成してなる対向基板との間に液晶を挟持してなるアクティブマトリクス型液晶表示素子の製造方法についてのものである。そして、この発明は、第1基板上に透明導電膜を成膜した後、走査電極線と半導体膜をマスクとした背面露光法を用いて、透明導電膜をバターニングすることにより、画素電極を形成する工程を備えている。また、この発明は、上述の工程に代えて、第1基板上に光遮蔽膜を成膜した後にバターニングしてア

する。第1図において、まず、例えば硝子からなる第1基板30の一主面上に、例えばモリブデン・タンタル(Mo-Ta)合金膜をスパッタ法等により厚さ約0.2μmに成膜し、ホトリソグラフィー法によりストライプ状の走査電極線(図示せず)と、この走査電極線に電気的に接続しているゲート電極31を成形する。次に、プラズマCVD(Chemical Vapor Deposition)法等により、例えば厚さ約0.3μmの窒化硅素(SiNx)膜、例えば厚さ約0.1μmの非晶質硅素(a-Si)膜及び厚さ約0.3μmのSiNx膜を、順次連続して堆積し、最下部のSiNx膜からなるゲート絶縁膜32を得るとともに、ホトリソグラフィー法により最上部のSiNx膜に加工を施し、ゲート電極31に対応した部分より内側に半導体保護膜33を島状に成形する。続いて、プラズマCVD法により厚さ約0.05μmのn⁺型のa-Si膜を成膜し、ホトリソグラフィー法により半導体膜34と低抵抗半導体膜35を同時に成形する。

第2図はこの実施例における走査電極線36と

ラックマトリックスを形成する工程と、第1基板上に透明導電膜を成膜した後、走査電極線とラックマトリックスをマスクとした背面露光法を用いて、透明導電膜をバターニングすることにより、画素電極を形成する工程を備えている。

(作用)

この発明では、透明導電膜から画素電極を背面露光により形成することで、金属粉に代表されるような光が通過しない異物上の透明導電膜は除去されるため、画素電極とドレイン電極及び信号電極線との短絡が減少し、点欠陥を低減できる。また、信号電極線と画素電極が近接して形成されるため、開口率が大きくなり、透過率が高い表示素子を形成することができる。

(実施例)

以下、図面を参照してこの発明を詳細に説明する。

第1図は第1の発明の一実施例によって得られるアクティブマトリクス型液晶表示素子を示す断面図を表しており、これを製造工程に従って説明

半導体膜34のバターンを示す概略平面図である。同図からわかるように、半導体膜34と低抵抗半導体膜35の積層膜は第7図における信号電極線2に類似した形状を有しており、走査電極線36との間で所定の升目を形造っている。

次に、第1基板30の一主面上に例えばITO(Indium Tin Oxide)からなる透明導電膜をスパッタ法で約0.1μmの厚さに堆積し、ホトリソグラフィー法により画素電極37を成形する。ここで、画素電極37を成形する際には、例えばネガ型のホトレジストを塗布し、第1基板30の他主面側から露光・現像を行う。こうすることにより、走査電極線36と半導体膜34により形成されている升目の内側にレジストバターンが形成され、透明導電膜をエッチングすると、升目の内側に画素電極37が形成される。

次に、例えば厚さ約0.05μmのモリブデン(Mo)膜と厚さ約1.0μmのアルミニウム(Al)膜をスパッタ法等で堆積し、ホトリソグラフィー法によりストライプ状の信号電極線(図示せ

ず)、この信号電極線に電気的接続しているドレン電極3-8、及びソース電極3-9を同時に形成する。このとき、信号電極線とドレン電極3-8は、半導体膜3-4と低抵抗半導体膜3-5の積層膜のバターン上内側に形成するのに対し、ソース電極3-9は画素電極3-7と電気的に接続するように形成される。また、この状態では、ドレン電極3-8とソース電極3-9の間が低抵抗半導体膜3-5により短絡してしまうので、この部分の低抵抗半導体膜3-5をエッチングにより除去する。こうして、第1基板3-0上にゲート電極3-1、ゲート絶縁膜3-2、半導体膜3-4 ドレン電極3-8及びソース電極3-9から構成されるTFT4-0が得られ、図示はしないが、TFT4-0はそれぞれ複数本の走査電極線3-6と信号電極線の交点付近に位置し、全体としてマトリクス状に配置されている。続いて、例えば窒化珪素からなる膜を第1基板3-0の一主面上に約0.1μmから約1.0μmの厚さで堆積し、ホトリソグラフィー法にて、絶縁膜4-1を所望のバターンに形成する。そしてこの後、第1

基板3-0の一主面上に、例えばポリイミドからなる配向膜4-2を例えばスピナコート法等により塗布し、約100°Cから約200°Cの間の適当な温度で焼成してからラビングを行う。こうして、所望のアレイ基板4-3が得られる。

一方、第2基板4-4の一主面上には、アレイ基板4-3のTFT4-0と対向させる位置に、例えばITOからなる遮光膜4-5を形成し、更に、例えばITOからなる対向電極4-6を形成する。そしてこの後は前と同様に、第2基板4-4の一主面上に、例えばポリイミドからなる配向膜4-7を例えばスピナコート法等により塗布し、約100°Cから約200°Cの間の適当な温度で焼成してからラビングを行う。こうして、所望の対向基板4-8が得られる。次に、アレイ基板4-3と対向基板4-8を、スペーサ(図示せず)である例えば約10μmのアルミニナのビーズを介して、配向膜4-2、4-7が対向した状態で一体となるように、液晶の注入口となる部分を除いて、例えばエポキシ系の接着剤からなる封着材(図示せず)でほぼ10μm離して概略

平行に貼り合わせる。次に、前述の注入口より液晶4-9を注入した後、例えばエポキシ系の接着剤からなる封止材(図示せず)で注入口を封止する。こうして、アレイ基板4-3と対向基板4-8との間に液晶4-9を挟持してなる所望のアクティブマトリクス型液晶表示素子が得られる。

この実施例では、第1基板3-0の一主面上に透明導電膜を成膜した後、走査電極線3-6と半導体膜3-4をマスクとした背面露光法を用いて、上述の透明導電膜をバターニングすることにより、画素電極3-7を形成している。この結果、画素電極3-7を形成する以前に例えば金属粉のような異物が第1基板3-0に付着していた場合、この異物上では透明導電膜が除去されるため、画素電極3-7とドレン電極3-8及び信号電極線との短絡が減少する。また、信号電極線に極めて近接した形で画素電極3-7を形成することが可能となり、表示素子の開口率が従来に比べ向上する。

第3図は第2の発明の一実施例によって得られるアクティブマトリクス型液晶表示素子を示す断

面図を表しており、これを製造工程に従って説明する。第3図において、まず、例えば硝子からなる第1基板3-0の一主面上に、例えばクロム(Cr)からなる光遮蔽膜をスパッタ法等により厚さ約0.15μmに成膜し、ホトリソグラフィー法により格子状のブラックマトリクス5-0を成形する。続いて、全面に例えばプラズマCVD法等により、例えば厚さ約0.2μmのSiO₂からなる絶縁層5-1を形成する。次に、例えばMo-Ta合金膜をスパッタ法等により厚さ約0.2μmに成膜し、ホトリソグラフィー法によりストライプ状の走査電極線(図示せず)と、この走査電極線に電気的に接続しているゲート電極3-1を成形する。

第4図はこの実施例における走査電極線3-6とブラックマトリクス5-0のバターンを示す概略平面図である。同図からわかるように、ブラックマトリクス5-0は第7図における信号電極線2に類似した丸状を有しており、走査電極線3-6との間で所定の升口を形成している。

次に、プラズマCVD法等により、例えば厚さ

約 $0.3\mu\text{m}$ の SiO_x 膜、例えば厚さ約 $0.1\mu\text{m}$ の a-Si 膜及び厚さ約 $0.3\mu\text{m}$ の SiNx 膜を、順次重ねて堆積し、最下部の SiO_x 膜からなるゲート絶縁膜3-2を得るとともに、ホトリソグラフィー法により最上部の SiNx 膜に加工を施し、ゲート電極3-1に対応した部分より内側に半導体保護膜3-3を島状に成形する。続いて、プラズマCVD法により厚さ約 $0.05\mu\text{m}$ の n^+ 型の a-Si 膜を成膜し、ホトリソグラフィー法により半導体膜3-4と低抵抗半導体膜3-5を同時に成形する。次に、第1基板3-0の一主面上に例えばITO(indium Tin Oxide)からなる透明導電膜をスパッタ法で約 $0.1\mu\text{m}$ の厚さに堆積し、ホトリソグラフィー法により画素電極3-7を成形する。ここで、画素電極3-7を成形する際には、例えばネガ型のホトレジストを塗布し、第1基板3-0の他主面側から露光・現像を行う。こうすることにより、走査電極線3-6とブラックマトリクス5-0により形成されている升目の内側のみにレジストパターンが形成され、透明導電膜をエッチングす

ると、升目の内側に画素電極3-7が形成される。これ以降は第1図に示した実施例と同様な工程を行うことにより、所望のアクティブマトリクス型液晶表示素子が得られる。

この実施例では、第1基板3-0上に光遮蔽膜を成膜した後にバーニングしてブラックマトリクス5-0を形成するとともに、第1基板3-0上に透明導電膜を成膜した後、走査電極線3-6とブラックマトリクス5-0をマスクとした背面露光法を用いて、透明導電膜をバーニングすることにより、画素電極3-7を形成している。この結果、この実施例は、第1図に示した実施例と同様の効果を有している。特に、この実施例では、ブラックマトリクス5-0が光遮蔽膜から構成されるため、半導体膜3-4を利用する第1図に示した実施例に比べて上述の効果が顕著である。

第5図は第2の発明の他の実施例によって得られるアクティブマトリクス型液晶表示素子を示す断面図を示しており、これを製造工程に従って説明する。第5図において、まず、例えば硝子から

なる第1基板3-0の一主面上に、例えばITOからなる光遮蔽膜をスパッタ法等により厚さ約 $0.15\mu\text{m}$ に成膜し、ホトリソグラフィー法により格子状のブラックマトリクス5-0を成形する。続いて、全面に例えばプラズマCVD法等により、例えば厚さ約 $0.2\mu\text{m}$ の SiO_x からなる絶縁膜5-1を形成する。次に、例えばMo-Ta合金膜をスパッタ法等により厚さ約 $0.2\mu\text{m}$ に成膜し、ホトリソグラフィー法によりストライプ状の走査電極線(図示せず)と、この走査電極線に電気的に接続しているゲート電極3-1を成形する。ここで、走査電極線とブラックマトリクス5-0のパターンの位置関係は、第4図の場合と同様である。

続いて、第1基板3-0の一主面上の全面に、例えばプラズマCVD法等により厚さ約 $0.2\mu\text{m}$ の SiO_x からなる一層目のゲート絶縁膜3-2aを形成する。次に、第1基板3-0の一主面上に例えばITOからなる透明導電膜をスパッタ法で約 $0.1\mu\text{m}$ の厚さに堆積し、ホトリソグラフィー法により画素電極3-7を成形する。ここで、画素電

極3-7を成形する際には、例えばネガ型のホトレジストを塗布し、第1基板3-0の他主面側から露光・現像を行う。こうすることにより、走査電極線3-6とブラックマトリクス5-0により形成されている升目の内側のみにレジストパターンが形成され、透明導電膜をエッチングすると、升目の内側に画素電極3-7が形成される。次に、第1基板3-0の一主面上の全面に、例えばプラズマCVD法等により厚さ約 $0.2\mu\text{m}$ の SiO_x からなる二層目のゲート絶縁膜3-2bを形成する。

次に、プラズマCVD法等により、例えば厚さ約 $0.05\mu\text{m}$ の a-Si 膜及び厚さ約 $0.2\mu\text{m}$ の SiNx 膜を順次重ねて堆積し、ホトリソグラフィー法により最上部の SiNx 膜に加工を施し、ゲート電極3-1に対応した部分より内側に半導体保護膜3-3を島状に成形する。続いて、プラズマCVD法により厚さ約 $0.05\mu\text{m}$ の n^+ 型の a-Si 膜を成膜し、ホトリソグラフィー法により半導体膜3-4と低抵抗半導体膜3-5を同時に成形する。次に、ゲート絶縁膜3-2b、半導体膜3-4及

び低抵抗半導体膜3-5の積層膜の所定部分に、画素電極3-7とソース電極3-9を電気的に接続させるためのコンタクトホールをホトリソグラフィー法により形成する。統いて、例えば厚さ約0.05μmのモリブデン(Mo)膜と厚さ約1.0μmのアルミニウム(A1)膜をスパッタ法等で堆積し、ホトリソグラフィー法によりストライプ状の信号電極線(図示せず)、この信号電極線に電気的接続しているドレイン電極3-8、及びソース電極3-9を同時に形成する。このとき、信号電極線とドレイン電極3-8は、ブラックマトリクス5-0のパターン上内側に形成するのに対し、ソース電極3-9は上述したコンタクトホールを介して画素電極3-7と電気的に接続するように形成される。また、この状態では、ドレイン電極3-8とソース電極3-9の間に低抵抗半導体膜3-5により短絡してしまうので、この部分の低抵抗半導体膜3-5をエッチングにより除去する。こうして、第1基板3-0上にゲート電極3-1、ゲート絶縁膜3-2、半導体膜3-4、ドレイン電極3-8及びソース電極

3-9から構成されるTFT4-0が得られる。これ以降は第1図に示した実施例と同様な工程を行うことにより、所要のアクティブマトリクス型液晶表示素子が得られる。

この実施例では、第3図に示した実施例と同様に、第1基板3-0上に光遮蔽膜を成膜した後にバターニングしてブラックマトリクス5-0を形成するとともに、第1基板3-0上に透明導電膜を成膜した後、走査電極線3-6とブラックマトリクス5-0をマスクとした背面露光法を用いて、透明導電膜をバターニングすることにより、画素電極3-7を形成している。この結果、この実施例は、今まで述べた実施例と同様の効果を有している。そして特に、この実施例では、画素電極3-7とドレイン電極3-8の間にゲート絶縁膜3-2bを介在させることにより、異物による画素電極3-7とドレイン電極3-8及び信号電極線との短絡を皆無とすることができた。

なお、第1図に示した実施例において、背面露光法を用いる際の半導体膜3-4と低抵抗半導体膜

3-5の積層膜の遮光性を向上させる必要があるときには、低抵抗半導体膜3-5上に所定の金属膜例えは厚さ約0.1μmのMo膜を積層した後、画素電極3-7の形成を行えばよい。

【発明の効果】

この発明は、走査電極線と半導体膜或いはブラックマトリクスとをマスクとした背面露光法を利用して画素電極を形成することにより、信号電極線と画素電極を近接して形成できるため、開口率が大きく透過率の高いアクティブマトリクス型液晶表示素子を歩留りよく製造することが可能である。

4. 図面の簡単な説明

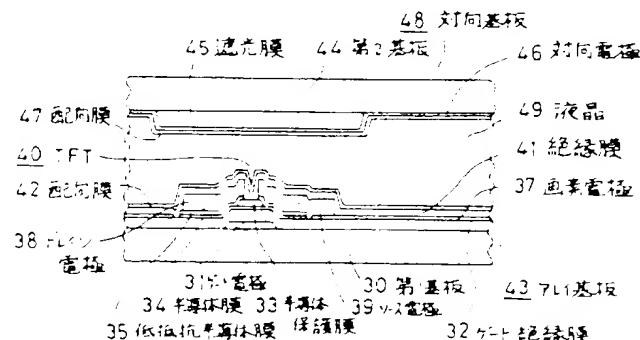
第1図は第1の発明の一実施例によって得られるアクティブマトリクス型液晶表示素子を示す断面図、第2図は第1図に示した実施例における走査電極線と半導体膜のパターンを示す概略平面図、第3図は第2の発明の一実施例によって得られるアクティブマトリクス型液晶表示素子を示す断面図、第4図は第3図に示した実施例における

走査電極線とブラックマトリクスのパターンを示す概略平面図、第5図は第2の発明の他の実施例によって得られるアクティブマトリクス型液晶表示素子を示す断面図、第6図は従来のTFTアレイ基板の概略平面図、第7図は従来のアクティブマトリクス型液晶表示素子の表示画素部の一例を示す断面図である。

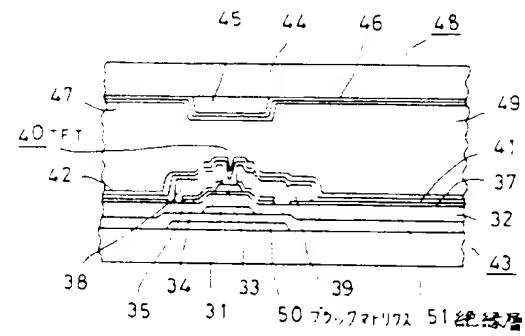
3-0…第1基板, 3-1…ゲート電極
3-2, 3-2a, 3-2b…ゲート絶縁膜
3-4…半導体膜
3-6…走査電極線, 3-7…画素電極
3-8…ドレイン電極, 3-9…ソース電極
4-0…TFT, 4-3…アレイ基板
4-6…対向電極, 4-8…対向基板
4-9…液晶, 5-0…ブラックマトリクス

代理人 井理士 則 近 恵 佑

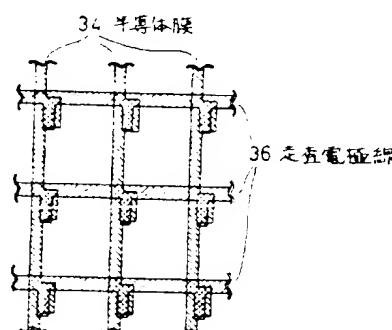
同 竹花 喜久男



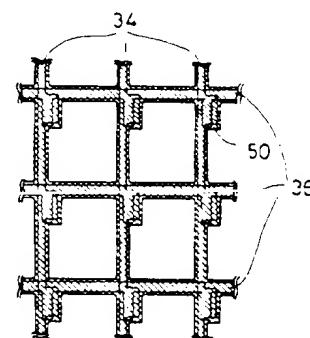
第 1 図



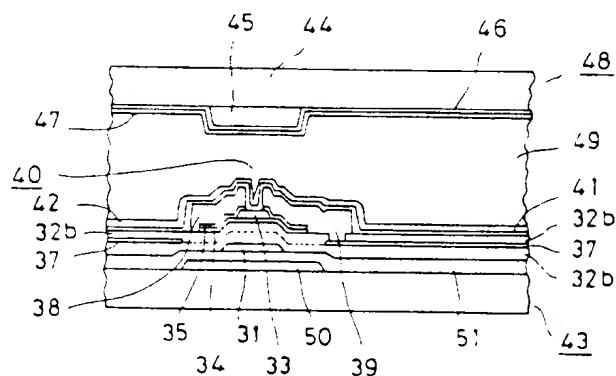
第 2 図



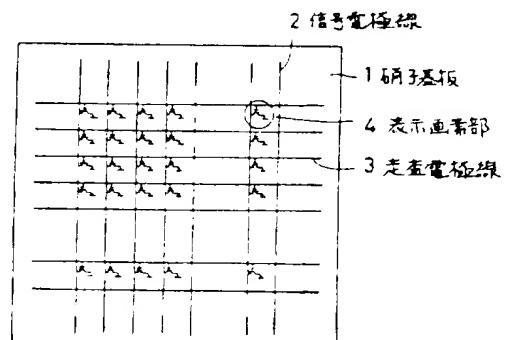
第 3 図



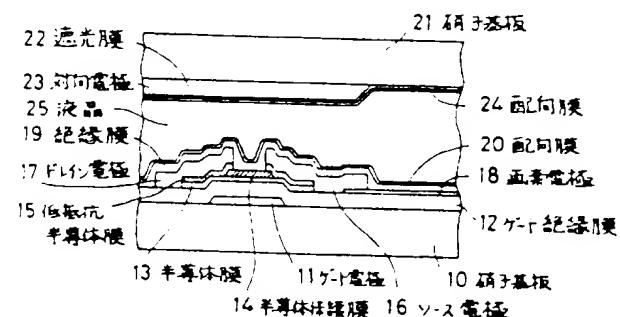
第 4 図



第 5 図



第 6 図



第 7 図